

特征

- 1.8V 模拟/数字电源
- LVDS (ANSI-644 电平) 和 CMOS 输出
- 片内精密电压基准
- 三线 SPI 接口
- 采样率高达 250MSPS
- 性能
 - SNR: 典型值为 69.4dBFS (185MHz)
 - SFDR: 典型值为 80dBc (185MHz)
 - 输入噪声: -150dBFS/Hz (185MHz)
 - 通道间隔离度: 90dB (100MHz)
 - 总功耗: 322mW
- 灵活的模拟输入范围: 1.4Vpp~2Vpp
- 最大 625MHz 时钟输入频率, 支持 1 到 8 分频模式
- QFN64 9mm × 9mm 封装

应用

- 通信设备
- I/Q 解调系统
- 智能天线系统
- 超声设备
- 数据采集系统

概述

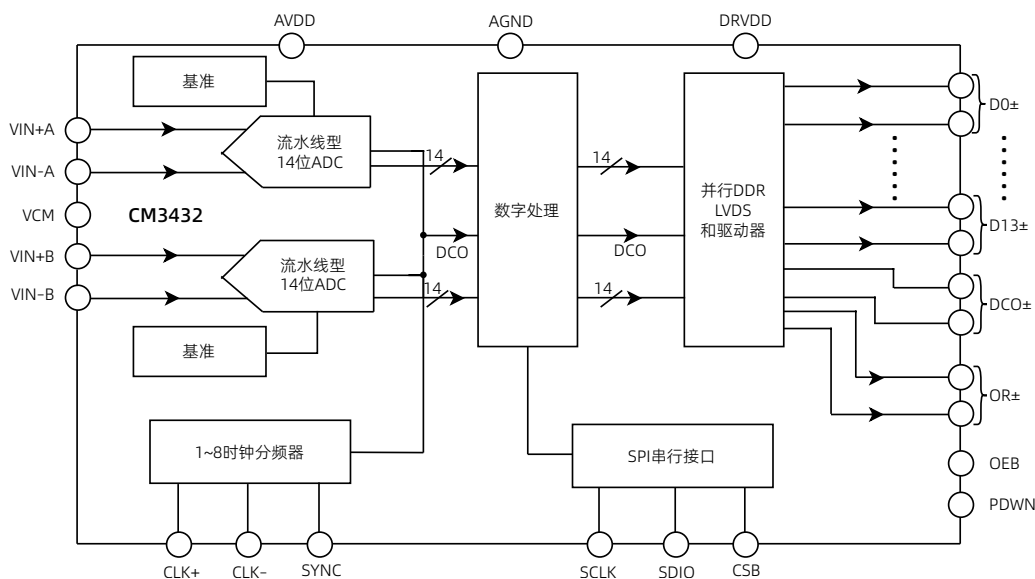
CM3432 是一款 14 位、集成双通道流水线型模数转换器 (ADC), 采样率最高达 250MSPS, 旨在为低成本、小尺寸、宽带宽、多功能通信应用提供解决方案。

CM3432 内核采用七级差分流水线结构, 并集成了数字校准逻辑以及输出纠错逻辑, 以实现更好的 SNR 和 SFDR 性能。输入方面: 该款 ADC 支持宽带宽输入, 方便用户灵活选择输入范围。输出方面: 采用 14 位 LVDS 并口输出, 两通道数据采用交错或者复用的方式进行输出。外围电路方面: 内部集成精密电压基准且可提供输入共模电压, 可简化外围电路设计。配置方面: 通过三线 SPI 接口, 可轻松实现所有功能配置。

CM3432 采用独有的专利技术, 大幅优化了功耗性能。在 250MSPS 采样率下工作, 典型功耗仅为 322mW。同时芯片还支持断电模式, 在该模式下功耗会大幅降至 4.9mW。

CM3432 采用 QFN64 型封装, 其工作温度范围为 -40°C~85°C。

架构框图



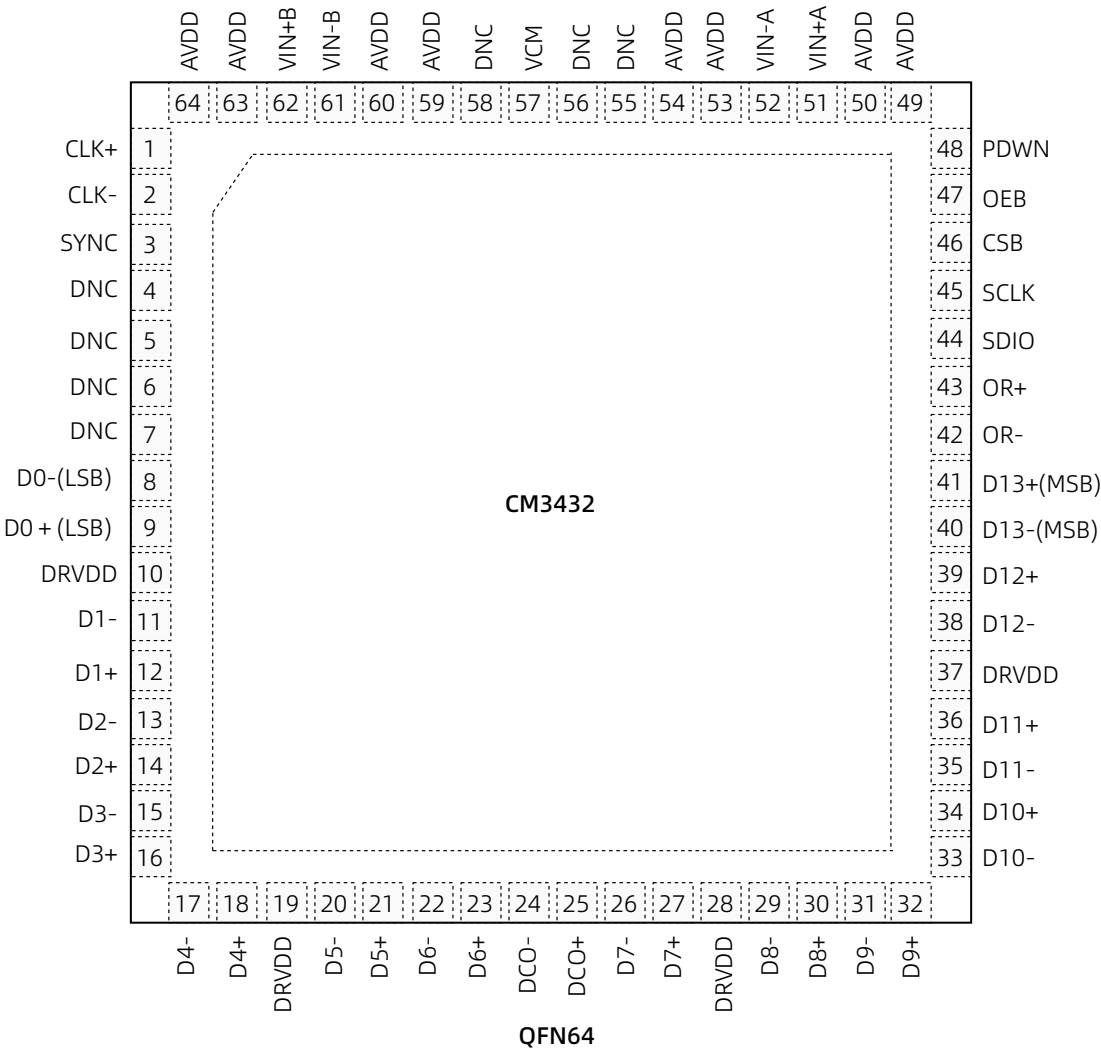
目录

封页.....	1	管脚配置（复用方式）	6
特征.....	1	管脚功能（复用方式）	6
应用.....	1	管脚配置（CMOS 方式）	9
概述.....	1	管脚功能（CMOS 方式）	9
架构框图.....	1	封装及订购信息.....	12
管脚配置和功能.....	3	封装方式.....	12
管脚配置（交错方式）	3	产品外形图.....	12
管脚功能（交错方式）	3	订购信息.....	13

管脚配置和功能

管脚配置（交错方式）

以下为 QFN64 封装，交错方式管脚示意图：



管脚功能（交错方式）

表 1 管脚功能描述（交错方式）

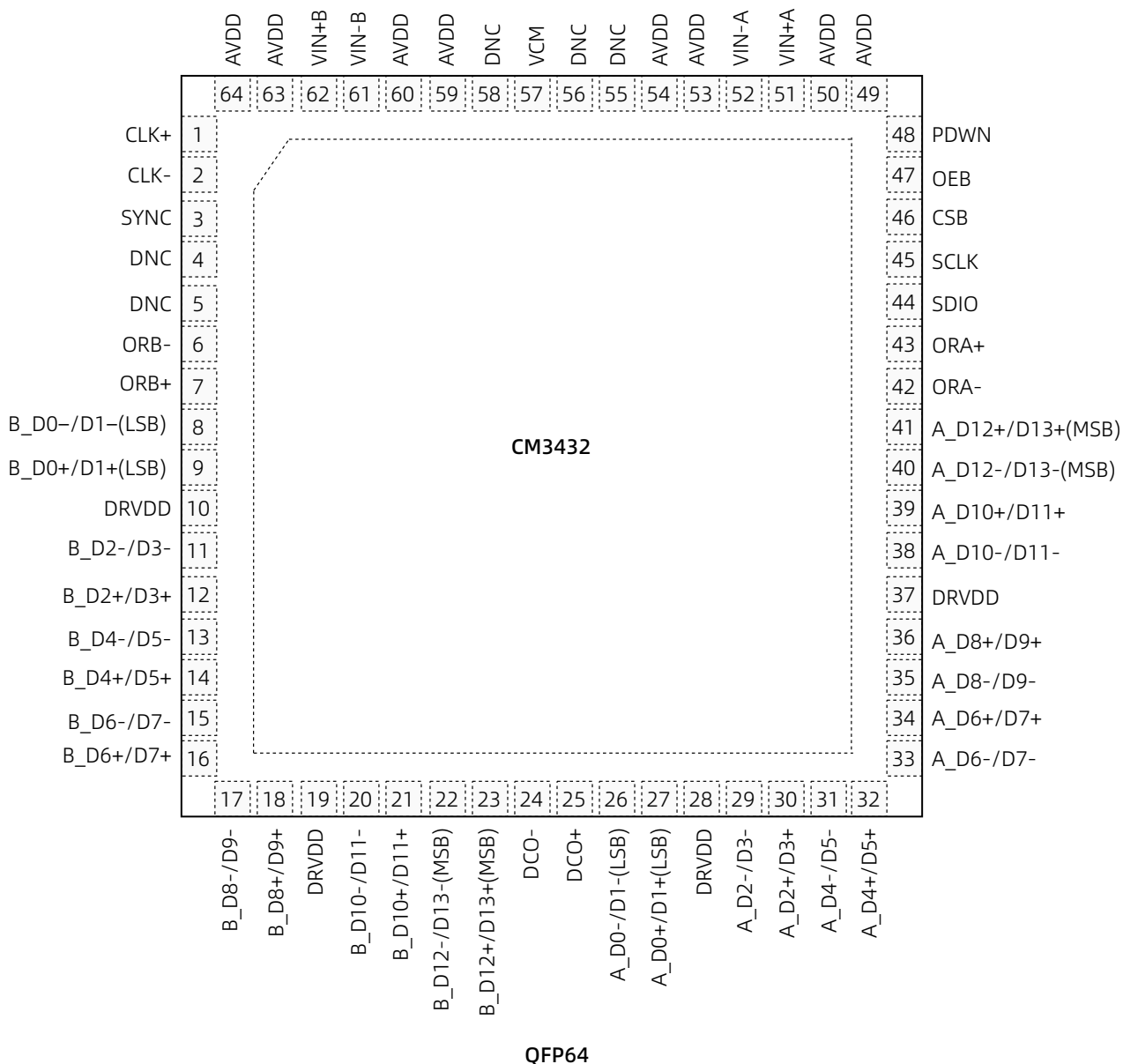
编号	名称	类型	说明
1	CLK+	AI	ADC 差分时钟输入 (+)。
2	CLK-	AI	ADC 差分时钟输入 (-)。
3	SYNC	DI	数字同步端口配置。不使用时须通过一个 10kΩ 的电阻接地。
4~7, 55, 56, 58	DNC	NC	浮空，不需要连接。
8	D0-(LSB)	DO	通道 A/通道 B，LVDS 模式输出数据 0。
9	D0 + (LSB)	DO	通道 A/通道 B，LVDS 模式输出数据 0。
10, 19, 28, 37	DRVDD	PWR	数字电源 (1.8V)。
11	D1-	DO	通道 A/通道 B，LVDS 模式输出数据 1。

编号	名称	类型	说明
12	D1+	DO	通道 A/通道 B, LVDS 模式输出数据 1。
13	D2-	DO	通道 A/通道 B, LVDS 模式输出数据 2。
14	D2+	DO	通道 A/通道 B, LVDS 模式输出数据 2。
15	D3-	DO	通道 A/通道 B, LVDS 模式输出数据 3。
16	D3+	DO	通道 A/通道 B, LVDS 模式输出数据 3。
17	D4-	DO	通道 A/通道 B, LVDS 模式输出数据 4。
18	D4+	DO	通道 A/通道 B, LVDS 模式输出数据 4。
20	D5-	DO	通道 A/通道 B, LVDS 模式输出数据 5。
21	D5+	DO	通道 A/通道 B, LVDS 模式输出数据 5。
22	D6-	DO	通道 A/通道 B, LVDS 模式输出数据 6。
23	D6+	DO	通道 A/通道 B, LVDS 模式输出数据 6。
24	DCO-	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
25	DCO+	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
26	D7-	DO	通道 A/通道 B, LVDS 模式输出数据 7。
27	D7+	DO	通道 A/通道 B, LVDS 模式输出数据 7。
29	D8-	DO	通道 A/通道 B, LVDS 模式输出数据 8。
30	D8+	DO	通道 A/通道 B, LVDS 模式输出数据 8。
31	D9-	DO	通道 A/通道 B, LVDS 模式输出数据 9。
32	D9+	DO	通道 A/通道 B, LVDS 模式输出数据 9。
33	D10-	DO	通道 A/通道 B, LVDS 模式输出数据 10。
34	D10+	DO	通道 A/通道 B, LVDS 模式输出数据 10。
35	D11-	DO	通道 A/通道 B, LVDS 模式输出数据 11。
36	D11+	DO	通道 A/通道 B, LVDS 模式输出数据 11。
38	D12-	DO	通道 A/通道 B, LVDS 模式输出数据 12。
39	D12+	DO	通道 A/通道 B, LVDS 模式输出数据 12。
40	D13-(MSB)	DO	通道 A/通道 B, LVDS 模式输出数据 13。
41	D13+(MSB)	DO	通道 A/通道 B, LVDS 模式输出数据 13。
42	OR-	DO	通道 A/通道 B, LVDS 模式超量程输出。
43	OR+	DO	通道 A/通道 B, LVDS 模式超量程输出。
44	SDIO	DI/O	SPI 串行数据。
45	SCLK	DI	SPI 串行时钟。
46	CSB	DI	SPI 片选配置, 低电平有效。
47	OEB	DI	输出使能端口, 低电平有效。
48	PDWN	DI	断电模式控制, 高电平有效。基于 SPI 模式, 可配置为断电模式或待机模式。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	PWR	模拟电源 (1.8V)。

编号	名称	类型	说明
51	VIN+A	AI	通道 A 差分模拟输入 (+)。
52	VIN-A	AI	通道 A 差分模拟输入 (-)。
57	VCM	A	模拟输入的共模电平输出，该管脚与地之间需要连接 0.1 μ F 去耦电容。
61	VIN-B	AI	通道 B 差分模拟输入 (-)。
62	VIN+B	AI	通道 B 差分模拟输入 (+)。

管脚配置（复用方式）

以下为 QFN64 封装，复用方式管脚示意图：



管脚功能（复用方式）

表 2 管脚功能描述（复用方式）

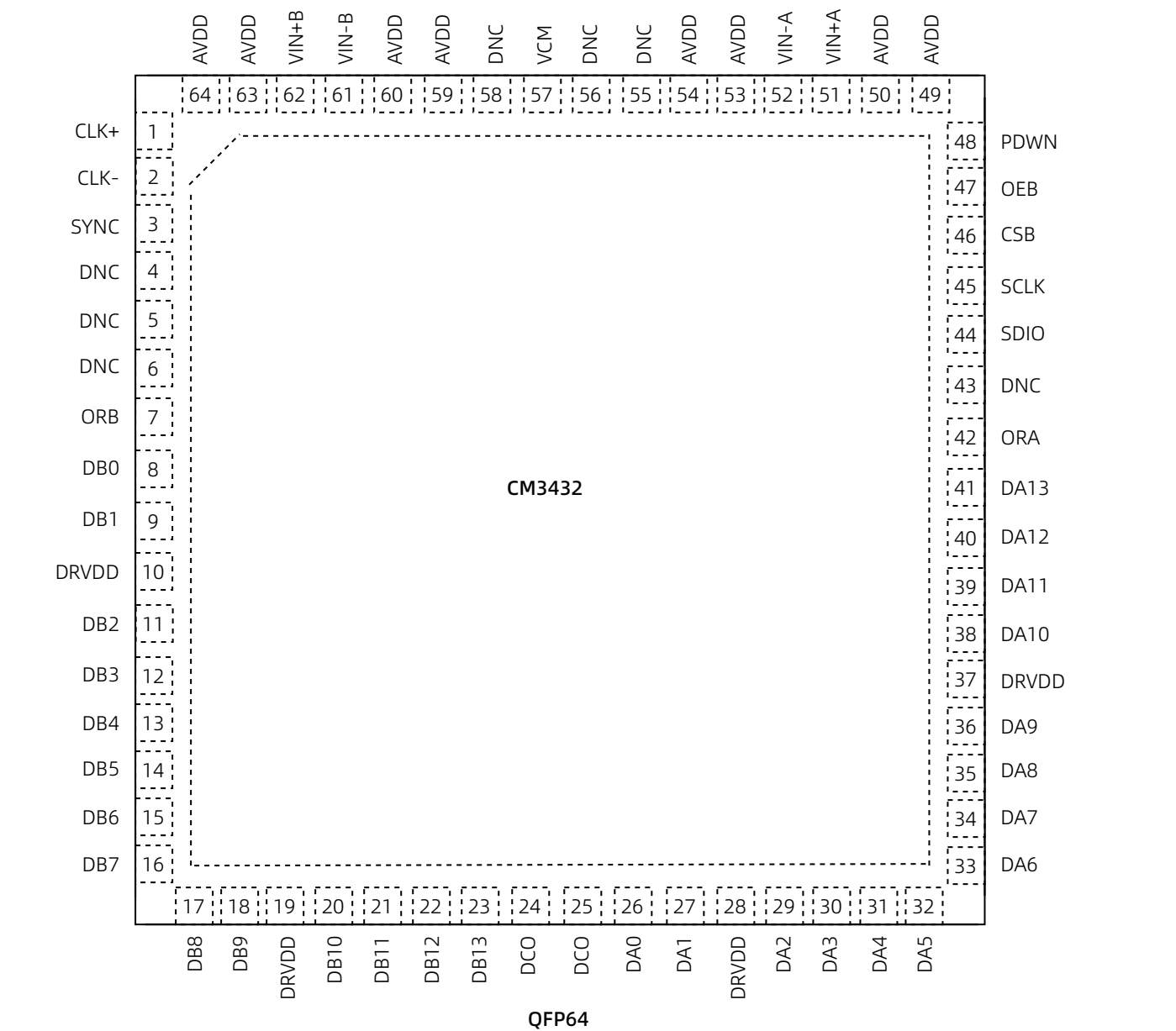
编号	名称	类型	说明
1	CLK+	AI	ADC 差分时钟输入 (+)。
2	CLK-	AI	ADC 差分时钟输入 (-)。
3	SYNC	DI	数字同步端口配置。不使用时须通过一个 10kΩ 的电阻接地。
4, 5, 55, 56, 58	DNC	NC	浮空，不需要连接。
6	ORB-	DO	通道 B 超量程输出，DCO 上升沿有效。
7	ORB+	DO	通道 B 超量程输出，DCO 上升沿有效。

编号	名称	类型	说明
8	B_D0-/D1-(LSB)	DO	通道 B, LVDS 模式输出数据 0/数据 1。
9	B_D0+/D1+(LSB)	DO	通道 B, LVDS 模式输出数据 0/数据 1。
10, 19, 28, 37	DRVDD	PWR	数字电源 (1.8V)。
11	B_D2-/D3-	DO	通道 B, LVDS 模式输出数据 2/数据 3。
12	B_D2+/D3+	DO	通道 B, LVDS 模式输出数据 2/数据 3。
13	B_D4-/D5-	DO	通道 B, LVDS 模式输出数据 4/数据 5。
14	B_D4+/D5+	DO	通道 B, LVDS 模式输出数据 4/数据 5。
15	B_D6-/D7-	DO	通道 B, LVDS 模式输出数据 6/数据 7。
16	B_D6+/D7+	DO	通道 B, LVDS 模式输出数据 6/数据 7。
17	B_D8-/D9-	DO	通道 B, LVDS 模式输出数据 8/数据 9。
18	B_D8+/D9+	DO	通道 B, LVDS 模式输出数据 8/数据 9。
20	B_D10-/D11-	DO	通道 B, LVDS 模式输出数据 10/数据 11。
21	B_D10+/D11+	DO	通道 B, LVDS 模式输出数据 10/数据 11。
22	B_D12-/D13-(MSB)	DO	通道 B, LVDS 模式输出数据 12/数据 13。
23	B_D12+/D13+(MSB)	DO	通道 B, LVDS 模式输出数据 12/数据 13。
24	DCO-	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
25	DCO+	DO	通道 A/通道 B, LVDS 模式数据时钟输出。
26	A_D0-/D1-(LSB)	DO	通道 A, LVDS 模式输出数据 0/数据 1。
27	A_D0+/D1+(LSB)	DO	通道 A, LVDS 模式输出数据 0/数据 1。
29	A_D2-/D3-	DO	通道 A, LVDS 模式输出数据 2/数据 3。
30	A_D2+/D3+	DO	通道 A, LVDS 模式输出数据 2/数据 3。
31	A_D4-/D5-	DO	通道 A, LVDS 模式输出数据 4/数据 5。
32	A_D4+/D5+	DO	通道 A, LVDS 模式输出数据 4/数据 5。
33	A_D6-/D7-	DO	通道 A, LVDS 模式输出数据 6/数据 7。
34	A_D6+/D7+	DO	通道 A, LVDS 模式输出数据 6/数据 7。
35	A_D8-/D9-	DO	通道 A, LVDS 模式输出数据 8/数据 9。
36	A_D8+/D9+	DO	通道 A, LVDS 模式输出数据 8/数据 9。
38	A_D10-/D11-	DO	通道 A, LVDS 模式输出数据 10/数据 11。
39	A_D10+/D11+	DO	通道 A, LVDS 模式输出数据 10/数据 11。
40	A_D12-/D13-(MSB)	DO	通道 A, LVDS 模式输出数据 12/数据 13。
41	A_D12+/D13+(MSB)	DO	通道 A, LVDS 模式输出数据 12/数据 13。
42	ORA-	DO	通道 A 超量程输出, DCO 上升沿有效。
43	ORA+	DO	通道 A 超量程输出, DCO 上升沿有效。
44	SDIO	DI/O	SPI 串行数据。
45	SCLK	DI	SPI 串行时钟。
46	CSB	DI	SPI 片选配置, 低电平有效。

编号	名称	类型	说明
47	OEB	DI	输出使能端口，低电平有效。
48	PDWN	DI	断电模式控制，高电平有效。基于 SPI 模式，可配置为断电模式或待机模式。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	PWR	模拟电源 (1.8V)。
51	VIN+A	AI	通道 A 差分模拟输入 (+)。
52	VIN-A	AI	通道 A 差分模拟输入 (-)。
57	VCM	A	模拟输入的共模电平输出，该管脚与地之间需要连接 0.1 μ F 去耦电容。
61	VIN-B	AI	通道 B 差分模拟输入 (-)。
62	VIN+B	AI	通道 B 差分模拟输入 (+)。

管脚配置（CMOS 方式）

以下为 QFN64 封装，CMOS 方式管脚示意图：



管脚功能（CMOS 方式）

编号	名称	类型	说明
1	CLK+	AI	ADC 差分时钟输入 (+)。
2	CLK-	AI	ADC 差分时钟输入 (-)。
3	SYNC	DI	数字同步端口配置。不使用时须通过一个 10kΩ 的电阻接地。
4, 5, 6, 43, 55, 56, 58	DNC	NC	浮空，不需要连接。
7	ORB	DO	通道 B 超量程输出，DCO 上升沿有效。
8	DB0	DO	通道 B，CMOS 模式输出数据 0。

编号	名称	类型	说明
9	DB1	DO	通道 B, CMOS 模式输出数据 1。
10, 19, 28, 37	DRVDD	PWR	数字电源 (1.8V)。
11	DB2	DO	通道 B, CMOS 模式输出数据 2。
12	DB3	DO	通道 B, CMOS 模式输出数据 3。
13	DB4	DO	通道 B, CMOS 模式输出数据 4。
14	DB5	DO	通道 B, CMOS 模式输出数据 5。
15	DB6	DO	通道 B, CMOS 模式输出数据 6。
16	DB7	DO	通道 B, CMOS 模式输出数据 7。
17	DB8	DO	通道 B, CMOS 模式输出数据 8。
18	DB9	DO	通道 B, CMOS 模式输出数据 9。
20	DB10	DO	通道 B, CMOS 模式输出数据 10。
21	DB11	DO	通道 B, CMOS 模式输出数据 11。
22	DB12	DO	通道 B, CMOS 模式输出数据 12。
23	DB13	DO	通道 B, CMOS 模式输出数据 13。
24,25	DCO	DO	通道 A/通道 B, CMOS 模式数据时钟输出。
26	DA0	DO	通道 A, CMOS 模式输出数据 0。
27	DA1	DO	通道 A, CMOS 模式输出数据 1。
29	DA2	DO	通道 A, CMOS 模式输出数据 2。
30	DA3	DO	通道 A, CMOS 模式输出数据 3。
31	DA4	DO	通道 A, CMOS 模式输出数据 4。
32	DA5	DO	通道 A, CMOS 模式输出数据 5。
33	DA6	DO	通道 A, CMOS 模式输出数据 6。
34	DA7	DO	通道 A, CMOS 模式输出数据 7。
35	DA8	DO	通道 A, CMOS 模式输出数据 8。
36	DA9	DO	通道 A, CMOS 模式输出数据 9。
38	DA10	DO	通道 A, CMOS 模式输出数据 10。
39	DA11	DO	通道 A, CMOS 模式输出数据 11。
40	DA12	DO	通道 A, CMOS 模式输出数据 12。
41	DA13	DO	通道 A, CMOS 模式输出数据 13。
42	ORA	DO	通道 A 超量程输出, DCO 上升沿有效。
44	SDIO	DI/O	SPI 串行数据。
45	SCLK	DI	SPI 串行时钟。
46	CSB	DI	SPI 片选配置, 低电平有效。
47	OEB	DI	输出使能端口, 低电平有效。
48	PDWN	DI	断电模式控制, 高电平有效。基于 SPI 模式, 可配置为断电模式或待机模式。

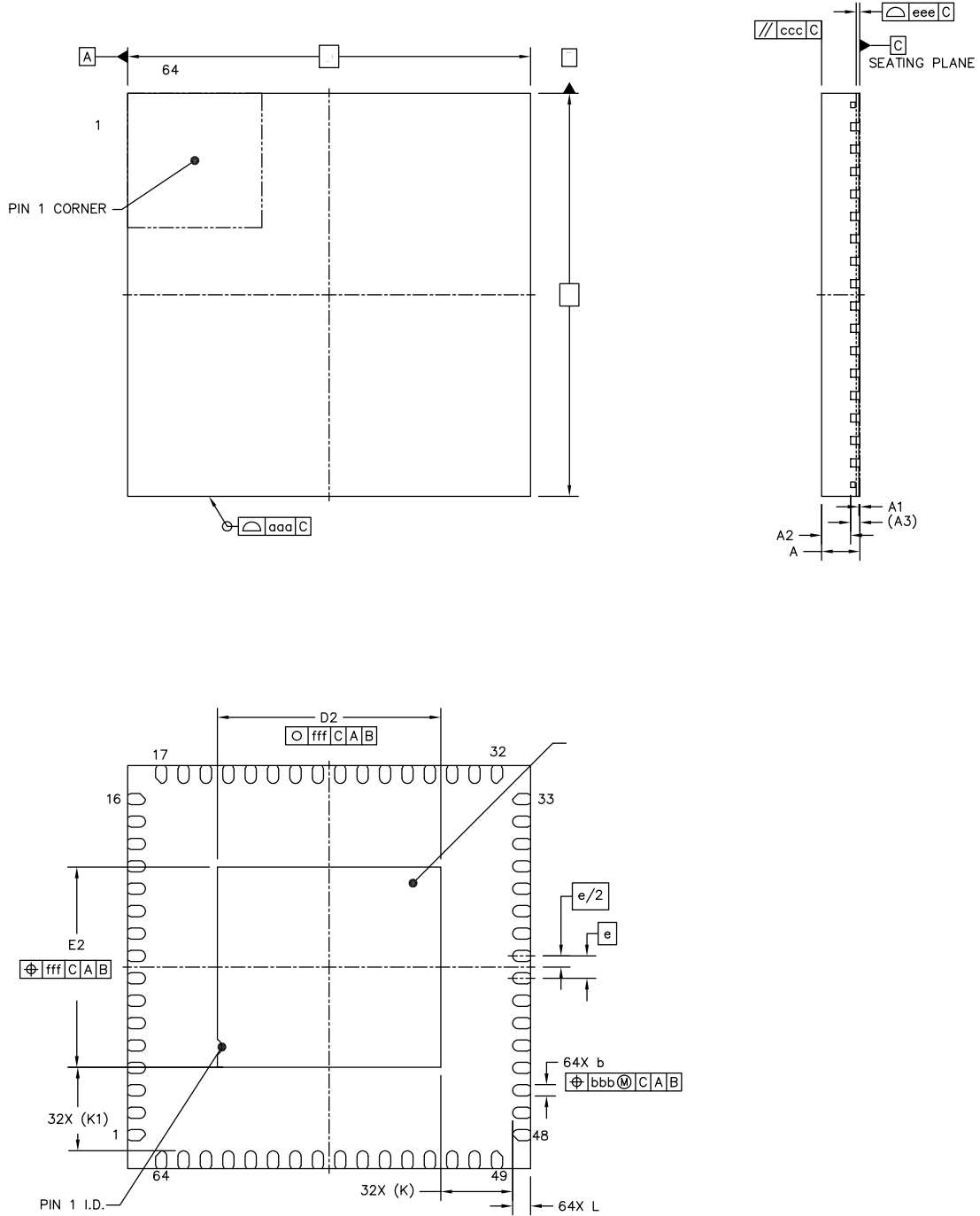
编号	名称	类型	说明
49, 50, 53, 54, 59, 60, 63, 64	AVDD	PWR	模拟电源 (1.8V)。
51	VIN+A	DI	通道 A 差分模拟输入 (+)。
52	VIN-A	DI	通道 A 差分模拟输入 (-)。
57	VCM	DO	模拟输入的共模电平输出，该管脚与地之间需要连接 0.1 μ F 去耦电容。
61	VIN-B	DI	通道 B 差分模拟输入 (-)。
62	VIN+B	DI	通道 B 差分模拟输入 (+)。

封装及订购信息

封装方式

CM3432 采用 QFN64 封装。

产品外形图



标识	尺寸 (毫米)		
	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05
A2	-	0.65	-
A3	0.20 (REF)		
b	0.20	0.25	0.30
D (X)	9.00 (BSC)		
E (Y)	9.00 (BSC)		
e	0.50 (BSC)		
D2 (X)	4.89	4.99	5.09
E2 (Y)	4.37	4.47	4.57
L	0.30	0.40	0.50
K	1.61 (REF)		
K1	1.87 (REF)		
aaa	0.10		
ccc	0.10		
eee	0.08		
bbb	0.10		
fff	0.10		

订购信息

型号	温度范围	封装	包装	包装数量
CM3432-QFNTR	-40°C~85°C	QFN64	Tray	2600